

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-307254

(43)Date of publication of application : 22.11.1996

(51)Int.Cl.

H03L 7/107  
H03K 3/354  
H03L 7/089  
// H03K 19/0948

(21)Application number : 07-111865

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 10.05.1995

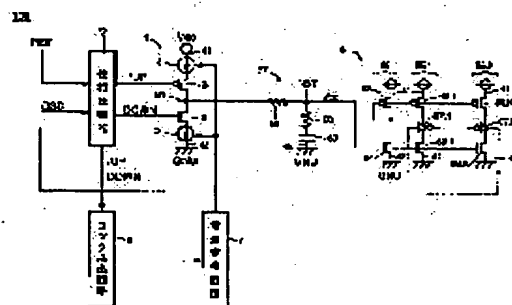
(72)Inventor : OISHI TSUKASA  
TAKAHASHI JUN

## (54) SYNCHRONIZING CLOCK GENERATING CIRCUIT

(57)Abstract:

PURPOSE: To provide the synchronizing clock generating circuit with a short lock-in time and small jitter after locking.

CONSTITUTION: A lock detection circuit 6 detects an absolute value of a phase difference between an external clock signal REF and an internal clock signal OSC based on signals, the inverse of UP and DOWN from a phase comparator 51 and provides an output of a signal in response to the absolute value of the phase difference to a current conversion circuit 7. The current conversion circuit 7 sets a current of current sources 2, 5 of a charge pump 1 to a large current when the absolute value of the phase difference is large and sets the current to a small current when the absolute value of the phase difference is small. Thus, an output potential Vco of a loop filter 57 rises rapidly before locking and is made stable after locking.



## LEGAL STATUS

[Date of request for examination]

19.03.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

[Home](#)[Search](#)[List](#)[Back to  
Record](#)

## MicroPatent® PatSearch FullText: Record 1 of 1

Family of JP8307254A

[How It Works](#)

---

Family of JP08307254

No additional family members are found for this document

---

[Home](#)[Search](#)[List](#)[Back to  
Record](#)

---

For further information, please contact:  
[Technical Support](#) | [Billing](#) | [Sales](#) | [General Information](#)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-307254

(43) 公開日 平成8年(1996)11月22日

(51) IntCl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 L 7/107			H 0 3 L 7/10	E
H 0 3 K 3/354			H 0 3 K 3/354	B
H 0 3 L 7/089			H 0 3 L 7/08	D
// H 0 3 K 19/0948			H 0 3 K 19/094	B

審査請求 未請求 請求項の数13 O L (全 17 頁)

(21) 出願番号 特願平7-111865

(22) 出願日 平成7年(1995)5月10日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 大石 司

兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社ユー・エル・エス・アイ開発研究所内

(72) 発明者 高橋 潤

兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社ユー・エル・エス・アイ開発研究所内

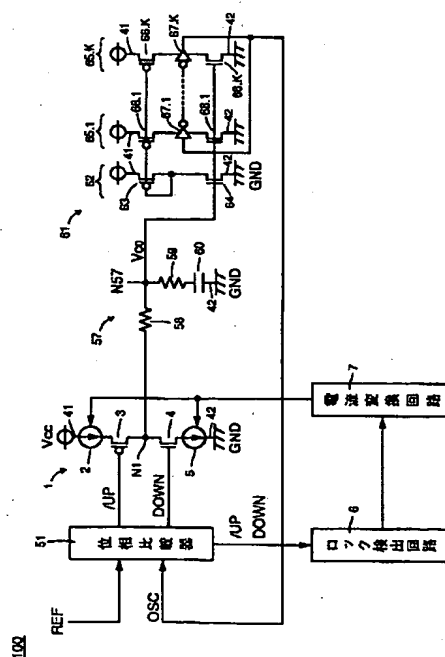
(74) 代理人 弁理士 深見 久郎 (外3名)

(54) 【発明の名称】 同期クロック生成回路

(57) 【要約】

【目的】 ロックイン時間が短く、かつロック後のジッタが小さな同期クロック生成回路を提供する。

【構成】 ロック検出回路6は、位相比較器51からの信号/UP, DOWNに基づいて、外部クロック信号REFと内部クロック信号OSCの位相差の絶対値を検出し、その位相差の絶対値に応じた信号を電流変換回路7に出力する。電流変換回路7は、位相差の絶対値が大きいときはチャージポンプ1の電流源2, 5の電流値を大きな値に設定し、小さいときはその電流値を小さな値に設定する。したがって、ループフィルタ57の出力電位Vcoは、ロック前は急速に上昇し、ロック後は安定する。



## 【特許請求の範囲】

【請求項1】 外部クロック信号に同期して内部クロック信号を生成する同期クロック生成回路であって、前記内部クロック信号の位相が前記外部クロック信号よりも遅れているか進んでいるかに応じて第1または第2の制御信号を出力する位相比較器、

前記内部クロック信号と前記外部クロック信号の位相差の絶対値を検出するための位相差検出回路、

前記内部クロック信号と前記外部クロック信号の位相差に応じた電圧を生成するためのキャパシタを含むループフィルタ、

前記位相比較器から前記第1または第2の制御信号が出力されたことに応じて、前記位相差検出回路で検出された前記位相差の絶対値に応じた値の電流で、前記位相比較器の出力信号をもって前記ループフィルタのキャパシタの充電または放電を行なう充放電回路、および前記ループフィルタの出力電圧に応じた周波数で発振し、前記内部クロック信号を出力する電圧制御型発振器を備える、同期クロック生成回路。

【請求項2】 外部クロック信号に同期して内部クロック信号を生成する同期クロック生成回路であって、前記内部クロック信号の位相が前記外部クロック信号よりも遅れているか進んでいるかに応じて第1または第2の制御信号を出力する位相比較器、

前記内部クロック信号と前記外部クロック信号の位相差の絶対値を検出するための位相差検出回路、

前記内部クロック信号と前記外部クロック信号の位相差に応じた電圧を生成するためのキャパシタを含むループフィルタ、

前記位相比較器から前記第1または第2の制御信号が出力されたことに応じて、前記位相差検出回路で検出された前記位相差の絶対値に応じた値の電流で前記ループフィルタのキャパシタの充電または放電を行なう充放電回路、および前記ループフィルタの出力電圧に応じた時間だけ前記外部クロック信号を遅延させ前記内部クロック信号として出力する電圧制御型遅延回路を備える、同期クロック生成回路。

【請求項3】 前記位相差検出回路は、前記位相比較器から出力される前記第1または第2の制御信号に基づいて前記位相差の絶対値を検出する、請求項1または2に記載の同期クロック生成回路。

【請求項4】 前記位相差検出回路は、前記内部クロック信号と前記外部クロック信号の位相差の絶対値に応じた電圧を生成するためのキャパシタ、前記位相比較器から前記第1または第2の制御信号が出力されたことに応じて、所定の値の電流で前記キャパシタの充電を行なう充電回路、および前記充電回路から前記キャパシタに与えられる電流よりも小さな値の電流で前記キャパシタの放電を行なう放電回路を含む、請求項3に記載の同期クロック生成回路。

【請求項5】 前記放電回路は、前記キャパシタの出力電圧が所定の値以下であることに応じて前記キャパシタの放電を停止する、請求項4に記載の同期クロック生成回路。

【請求項6】 前記放電回路は、前記キャパシタの出力電圧が、そのしきい値電圧よりも低下することを防止するためのダイオードを含む、請求項5に記載の同期クロック生成回路。

【請求項7】 前記充放電回路は、前記位相差検出回路のキャパシタの出力電圧が入力され、該入力電圧に応じた値の電流を流す第1のトランジスタ、

各々が前記第1のトランジスタに流れる電流に応じた値の電流を出力する第1および第2のカレントミラー回路、

その第1の電極が前記第1のカレントミラー回路の出力電流を受け、その第2の電極が前記ループフィルタの入力ノードに接続され、前記位相比較器から前記第1の制御信号が出力されたことに応じて導通し前記ループフィルタのキャパシタの充電を行なう第2のトランジスタ、およびその第1の電極が前記第2のカレントミラー回路の出力電流を受け、その第2の電極が前記ループフィルタの入力ノードに接続され、前記位相比較器から前記第2の制御信号が出力されたことに応じて導通し前記ループフィルタのキャパシタの放電を行なう第3のトランジスタを含む、請求項4ないし6のいずれかに記載の同期クロック生成回路。

【請求項8】 前記充放電回路は、さらに、前記第1および第2のカレントミラー回路の出力電流が所定の値以下になることを防止する電流制御回路を含む、請求項7に記載の同期クロック生成回路。

【請求項9】 外部クロック信号に同期して内部クロック信号を生成する同期クロック生成回路であって、前記内部クロック信号の位相が前記外部クロック信号よりも遅れているか進んでいるかに応じて第1または第2の制御信号を出力する位相比較器、

前記内部クロック信号と前記外部クロック信号の位相差の絶対値を検出するための位相差検出回路、

前記内部クロック信号と前記外部クロック信号の位相差に応じた電圧を生成するためのキャパシタを含むループフィルタ、

前記位相比較器から前記第1または第2の制御信号が出力されたことに応じて、所定の値の電流で前記ループフィルタのキャパシタの充電または放電を行なう充放電回路、

リング状に接続され、かつそれぞれが電源電圧と前記ループフィルタの出力電圧とを受ける複数の遅延時間可変素子を含み、前記内部クロック信号を出力する電圧制御型発振器、および前記位相差検出回路で検出された前記位相差の絶対値に応じた前記電圧制御型発振器の複数の

遅延時間可変素子に与えられる電源電圧または電源電流を制御し、前記電圧制御型発振器の発振周波数を制御する制御回路を備える、同期クロック生成回路。

【請求項10】 外部クロック信号に同期して内部クロック信号を生成する同期クロック生成回路であって、前記内部クロック信号の位相が前記外部クロック信号よりも遅れているか進んでいるかに応じて第1または第2の制御信号を出力する位相比較器、

前記内部クロック信号と前記外部クロック信号の位相差の絶対値を検出するための位相差検出回路、

前記内部クロック信号と前記外部クロック信号の位相差に応じた電圧を生成するためのキャパシタを含むループフィルタ、

前記位相比較器から前記第1または第2の制御信号が出力されたことに応じて、所定の値の電流で前記ループフィルタのキャパシタの充電または放電を行なう充放電回路、

直列接続され、かつそれぞれが電源電圧と前記ループフィルタの出力電圧とを受ける複数の遅延時間可変素子を含み、前記外部クロック信号を遅延させ前記内部クロック信号として出力する電圧制御型遅延回路、および前記位相差検出回路で検出された前記位相差の絶対値に応じて、前記電圧制御型遅延回路の複数の遅延時間可変素子に与えられる電源電圧または電源電流を制御し、前記電圧制御型遅延回路の遅延時間を制御する制御回路を備える、同期クロック生成回路。

【請求項11】 前記位相差検出回路は、前記内部クロック信号と前記外部クロック信号の位相差の絶対値に応じた電圧を生成するためのキャパシタ、前記位相比較器から前記第1または第2の制御信号が出力されたことに応じて、所定の値の電流で前記キャパシタの充電を行なう充電回路、および前記充電回路から前記キャパシタに与えられる電流よりも小さな値の電流で前記キャパシタの放電を行なう放電回路を含む、請求項9または10に記載の同期クロック生成回路。

【請求項12】 前記制御回路は、電源電位のラインと前記複数の遅延時間可変素子の電源ノードとの間、および接地電位のラインと前記複数の遅延時間可変素子の接地ノードとの間のうちの少なくとも一方に接続され、前記位相差検出回路のキャパシタの出力電圧が入力され、該入力電圧に応じてその抵抗値が変化する少なくとも1つのトランジスタを含む、請求項11に記載の同期クロック生成回路。

【請求項13】 前記制御回路は、前記複数の遅延時間可変素子の電源ノードの電位を前記位相差検出回路のキャパシタの出力電位に保持する電位保持回路を含む、請求項11に記載の同期クロック生成回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は同期クロック生成回路

に関し、特に、外部クロック信号に同期して内部クロック信号を生成するPhase Locked Loop (以下、PLLと略記する) 回路およびDelay Locked Loop (以下、DLLと略記する) 回路のような同期クロック生成回路に関する。

【0002】

【従来の技術】 図13は従来のPLL回路800の構成を示す回路ブロック図である。図において、このPLL回路800は、位相比較器51、チャージポンプ52、ループフィルタ57および電圧制御型発振器61を含む。

【0003】 位相比較器51は、外部から入力される外部クロック信号REFと、内部で発生される内部クロック信号OSCとを比較し、2つのクロック信号REFとOSCの周波数がずれていたり位相がずれていると、その差を信号/UP、DOWNとして次段に出力する。たとえば、外部クロック信号REFに対して内部クロック信号OSCの位相が進んでいると信号DOWNが出力され、遅いと信号/UPが出力される。信号/UP、DOWNは次段のチャージポンプ52に伝達される。

【0004】 チャージポンプ52は、電源電位Vccのライン (以下、電源ラインと称す) 41とその出力ノードN52の間に直列接続された定電流源53およびPチャネルMOSトランジスタ54と、出力ノードN52と接地電位GNDのライン (以下、接地ラインと称す) 42の間に直列接続されたNチャネルMOSトランジスタ55および定電流源56を含む。

【0005】 信号/UPが活性化レベルである「L」レベルになるとPチャネルMOSトランジスタ54が導通して定電流源53の定電流がループフィルタ57に流入する。信号DOWNが活性化レベルである「H」レベルになるとNチャネルMOSトランジスタ55が導通し定電流源56の定電流がループフィルタ57から引抜かれる。定電流源53、56により供給電流と引抜き電流が一定の値に保持される。

【0006】 ループフィルタ57は、その出力ノード57とチャージポンプ52の出力ノードN52の間に接続された抵抗58と、出力ノード57と接地ライン42の間に直列接続された抵抗59およびキャパシタ60を含む。キャパシタ60は、チャージポンプ52による供給電流と引抜き電流を積分しその積分値を電位に変換する。ループフィルタ57の出力電位Vcoは次段の電圧制御型発振器61に出力される。

【0007】 電圧制御型発振器61は、バイアス発生回路62と、リング状に接続されたK個 (Kは正の整数である) の遅延時間可変素子65、1~65、Kを含む。

【0008】 バイアス発生回路62は、電源ライン41と接地ライン42の間に直列接続されたPチャネルMOSトランジスタ63およびNチャネルMOSトランジスタ64を含む。PチャネルMOSトランジスタ63のゲ

ートはそのドレインに接続される。NチャネルMOSトランジスタ64のゲートはループフィルタ57の出力電位Vcoを受ける。

【0009】遅延時間可変素子65. 1は、インバータ67. 1と、インバータ67. 1に電源電位Vccを与えるためのPチャネルMOSトランジスタ66. 1と、インバータ67. 1に接地電位GNDを与えるためのNチャネルMOSトランジスタ68. 1を含む。PチャネルMOSトランジスタ66. 1のゲートは、バイアス発生回路63のPチャネルMOSトランジスタ63のゲートに接続される。NチャネルMOSトランジスタ68. 1のゲートは、バイアス発生回路63のNチャネルMOSトランジスタ64のゲートに接続される。他の遅延時間可変素子65. 2~65. Kも同様である。なお、インバータ67. 1~67. Kは、図14に示すように、直列接続されたPチャネルMOSトランジスタ69およびNチャネルMOSトランジスタ70を含む。MOSトランジスタ69と70のゲートは共通接続され、インバータ67. 1~67. Kの入力ノードとなる。MOSトランジスタ69と70のドレインはインバータ67. 1~67. Kの出力ノードとなる。

【0010】ループフィルタ57の出力電位Vcoにより、遅延時間可変素子65. 1~65. Kの引抜き側の電流を決定するNチャネルMOSトランジスタ64の電流値が決まり、その電流がダイオード接続されたPチャネルMOSトランジスタ63に伝達され同量の電流が遅延時間可変素子65. 1~65. Kの供給側にも発生する。この電流量が大きいほど電圧制御型発振器61の発振周波数は上昇する。電圧制御型発振器61の出力が内部クロック信号OSCとなり、この内部クロック信号OSCは再び外部クロック信号REFと位相比較器51において比較される。

【0011】以上の動作を繰返すことにより、ループフィルタ57の出力電位Vcoが調整され、動作開始初期においては大きくずれていた外部クロック信号REFと内部クロック信号OSCが徐々に同期するようになる。同期後は、信号UPとDOWNが等しく出力されるのでループフィルタ57の出力電位Vcoが一定に保持され、内部クロック信号OSCの周波数も一定となる。

【0012】図15は従来のDLL回路900の構成を示す回路ブロック図である。このDLL回路900が図13のPLL回路800と異なる点は電圧制御型発振器61の代わりに電圧制御型遅延回路71が設けられている点である。電圧制御型遅延回路71は、バイアス発生回路62と、直列接続されたK個の遅延時間可変素子65. 1~65. Kを含む。外部クロック信号REFが初段の遅延時間可変素子65. 1に入力され、最終段の遅延時間可変素子65. Kの出力が内部クロック信号OSCとなる。動作はPLL回路800と同様であるので説明は省略される。

【0013】

【発明が解決しようとする課題】しかし、従来のPLL回路800およびDLL回路900では、ループフィルタ57の出力電位Vcoに対して遅延時間可変素子65. 1~65. Kの駆動電流が比例しないのでジッタが大きくなるという問題がある。すなわち、チャージポンプ52の出力がNチャネルMOSトランジスタ64のゲートに印加されて遅延時間可変素子65. 1~65. Kの駆動電流が決定されるために、電流値はNチャネルMOSトランジスタ64のゲート電圧特性に従うこととなるが、その特性が正確に線形でないためにループフィルタ57の出力電位Vcoと遅延時間可変素子65. 1~65. Kを流れる電流の関係が線形でなくなる。したがって、ロックさせる対象の周波数が大き過ぎる状態、つまりループフィルタ57の出力電位Vcoが電源電位Vccに近く遅延時間可変素子65. 1~65. Kの駆動電流が大きい状態、またはロックさせる対象の周波数が低過ぎる状態、つまりループフィルタ57の出力電位Vcoが接地電位GNDに近く遅延時間可変素子65. 1~65. Kの駆動電流が小さい状態では、ジッタが大きくなる。

【0014】また、チャージポンプ52の定電流の大きさもジッタの大きさに関係する。図16はチャージポンプ52の定電流の大きさによってPLL回路800およびDLL回路900のロック状態がどのように変化するかを示す図である。チャージポンプ52の定電流が大きい場合には、高速にロックすることが可能であるが、ロック後においてチャージポンプ52の微小動作によるループフィルタ57の出力電位Vcoのぶれが大きくなりジッタが大きくなる。逆にチャージポンプ52の定電流が小さい場合には、ロック後のジッタが小さくなるが、ロックするまでの時間が長くなるという相反する問題がある。

【0015】それゆえに、この発明の主たる目的は、ロックイン時間が短く、かつロック後のジッタが小さな同期クロック生成回路を提供することである。

【0016】

【課題を解決するための手段】この発明の第1の同期クロック生成回路は、外部クロック信号に同期して内部クロック信号を生成する同期クロック生成回路であって、前記内部クロック信号の位相が前記外部クロック信号よりも遅れているか進んでいるかに応じて第1または第2の制御信号を出力する位相比較器、前記内部クロック信号と前記外部クロック信号の位相差の絶対値を検出するための位相差検出回路、前記内部クロック信号と前記外部クロック信号の位相差に応じた電圧を生成するためのキャパシタを含むループフィルタ、前記位相比較器から前記第1または第2の制御信号が出力されたことに応じて、前記位相差検出回路で検出された前記位相差の絶対値に応じた値の電流で前記ループフィルタのキャパシタ

の充電または放電を行なう充放電回路、および前記ループフィルタの出力電圧に応じた周波数で発振し、前記内部クロック信号を出力する電圧制御型発振器を備えたことを特徴としている。

【0017】また、この発明の第2の同期クロック生成回路は、外部クロック信号に同期して内部クロック信号を生成する同期クロック生成回路であって、前記内部クロック信号の位相が前記外部クロック信号よりも遅れているか進んでいるかに応じて第1または第2の制御信号を出力する位相比較器、前記内部クロック信号と前記外部クロック信号の位相差の絶対値を検出するための位相差検出回路、前記内部クロック信号と前記外部クロック信号の位相差に応じた電圧を生成するためのキャパシタを含むループフィルタ、前記位相比較器から前記第1または第2の制御信号が出力されたことに応じて、前記位相差検出回路で検出された前記位相差の絶対値に応じた値の電流で前記ループフィルタのキャパシタの充電または放電を行なう充放電回路、および前記ループフィルタの出力電圧に応じた時間だけ前記外部クロック信号を遅延させ前記内部クロック信号として出力する電圧制御型遅延回路を備えたことを特徴としている。

【0018】また、前記位相差検出回路は、前記位相比較器から出力される前記第1または第2の制御信号に基づいて前記位相差の絶対値を検出することとしてもよい。

【0019】また、前記位相差検出回路は、前記内部クロック信号と前記外部クロック信号の位相差の絶対値に応じた電圧を生成するためのキャパシタ、前記位相比較器から前記第1または第2の制御信号が出力されたことに応じて、所定の値の電流で前記キャパシタの充電を行なう充電回路、および前記充電回路から前記キャパシタに与えられる電流よりも小さな値の電流で前記キャパシタの放電を行なう放電回路を含むこととしてもよい。

【0020】また、前記放電回路は、前記キャパシタの出力電圧が所定の値以下であることに応じて前記キャパシタの放電を停止することとしてもよい。

【0021】また、前記放電回路は、前記キャパシタの出力電圧が、そのしきい値電圧よりも低下することを防止するためのダイオードを含むこととしてもよい。

【0022】また、前記充放電回路は、前記位相差検出回路のキャパシタの出力電圧が入力され、該入力電圧に応じた値の電流を流す第1のトランジスタ、各々が前記第1のトランジスタに流れる電流に応じた値の電流を出力する第1および第2のカレントミラー回路、その第1の電極が前記第1のカレントミラー回路の出力電流を受け、その第2の電極が前記ループフィルタの入力ノードに接続され、前記位相比較器から前記第1の制御信号が出力されたことに応じて導通し前記ループフィルタのキャパシタの充電を行なう第2のトランジスタ、およびその第1の電極が前記第2のカレントミラー回路の出力電

流を受け、その第2の電極が前記ループフィルタの入力ノードに接続され、前記位相比較器から前記第2の制御信号が出力されたことに応じて導通し前記ループフィルタのキャパシタの放電を行なう第3のトランジスタを含むこととしてもよい。

【0023】また、前記充放電回路は、さらに、前記第1および第2のカレントミラー回路の出力電流が所定の値以下になることを防止する電流制御回路を含むこととしてもよい。

【0024】また、この発明の第3の同期クロック生成回路は、外部クロック信号に同期して内部クロック信号を生成する同期クロック生成回路であって、前記内部クロック信号の位相が前記外部クロック信号よりも遅れているか進んでいるかに応じて第1または第2の制御信号を出力する位相比較器、前記内部クロック信号と前記外部クロック信号の位相差の絶対値を検出するための位相差検出回路、前記内部クロック信号と前記外部クロック信号の位相差に応じた電圧を生成するためのキャパシタを含むループフィルタ、前記位相比較器から前記第1または第2の制御信号が出力されたことに応じて、所定の値の電流で前記ループフィルタのキャパシタの充電または放電を行なう充放電回路、リング状に接続され、かつそれぞれが電源電圧と前記ループフィルタの出力電圧とを受ける複数の遅延時間可変素子を含み、前記内部クロック信号を出力する電圧制御型発振器、および前記位相差検出回路で検出された前記位相差の絶対値に応じて前記電圧制御型発振器の複数の遅延時間可変素子に与えられる電源電圧または電源電流を制御し、前記電圧制御型発振器の発振周波数を制御する制御回路を備えたことを特徴としている。

【0025】また、この発明の第4の同期クロック生成回路は、外部クロック信号に同期して内部クロック信号を生成する同期クロック生成回路であって、前記内部クロック信号の位相が前記外部クロック信号よりも遅れているか進んでいるかに応じて第1または第2の制御信号を出力する位相比較器、前記内部クロック信号と前記外部クロック信号の位相差の絶対値を検出するための位相差検出回路、前記内部クロック信号と前記外部クロック信号の位相差に応じた電圧を生成するためのキャパシタを含むループフィルタ、前記位相比較器から前記第1または第2の制御信号が出力されたことに応じて、所定の値の電流で前記ループフィルタのキャパシタの充電または放電を行なう充放電回路、直列接続され、かつそれぞれが電源電圧と前記ループフィルタの出力電圧とを受ける複数の遅延時間可変素子を含み、前記外部クロック信号を遅延させ前記内部クロック信号として出力する電圧制御型遅延回路、および前記位相差検出回路で検出された前記位相差の絶対値に応じて、前記電圧制御型遅延回路の複数の遅延時間可変素子に与えられる電源電圧または電源電流を制御し、前記電圧制御型遅延回路の遅延時

間を制御する制御回路を備えたことを特徴としている。

【0026】また、前記位相差検出回路は、前記内部クロック信号と前記外部クロック信号の位相差の絶対値に応じた電圧を生成するためのキャパシタ、前記位相比較器から前記第1または第2の制御信号が出力されたことに応じて、所定の値の電流で前記キャパシタの充電を行なう充電回路、および前記充電回路から前記キャパシタに与えられる電流よりも小さな値の電流で前記キャパシタの放電を行なう放電回路を含むこととしてもよい。

【0027】また、前記制御回路は、電源電位のラインと前記複数の遅延時間可変素子の電源ノードとの間、および接地電位のラインと前記複数の遅延時間可変素子の接地ノードとの間のうちの少なくとも一方に接続され、前記位相差検出回路のキャパシタの出力電圧が入力され、該入力電圧に応じてその抵抗値が変化する少なくとも1つのトランジスタを含むこととしてもよい。

【0028】また、前記制御回路は、前記複数の遅延時間可変素子の電源ノードの電位を前記位相差検出回路のキャパシタの出力電位に保持する電位保持回路を含むこととしてもよい。

【0029】

【作用】この発明の第1および第2の同期クロック生成回路にあっては、位相差検出回路によって内部クロック信号と外部クロック信号の位相差の絶対値が検出され、その位相差の絶対値に応じた値の電流でループフィルタのキャパシタの充放電が行なわれる。したがって、ロック前の位相差が大きいときは大きな値の電流でループフィルタのキャパシタの充放電が行なわれ、ロックイン時間の短縮化が図られる。また、ロック後の位相差が小さいときは小さな値の電流でループフィルタのキャパシタの充放電が行なわれ、ロック後のジッタが抑制される。

【0030】ループフィルタの出力電圧を受ける電圧制御型発振器を備えればPLL回路が構成され、電圧制御型遅延回路を備えればDLL回路が構成される。

【0031】また、位相差検出回路は、位相比較器から出力される第1および第2の制御信号に基づいて位相差の絶対値を検出することとすれば、回路構成の簡単化が図られる。

【0032】また、位相差検出回路は、キャパシタと、第1または第2の制御信号にตอบสนองしてキャパシタの充電を行なう充電回路と、微小電流でキャパシタの放電を行なう放電回路とを含むこととすれば、位相差検出回路を容易に構成できる。

【0033】また、放電回路は、キャパシタの出力電圧が所定値以下であることに応じてキャパシタの放電を停止することとすれば、キャパシタの出力電圧が所定値以下になって充放電回路の充放電動作が停止することを防止できる。

【0034】また、放電回路は、キャパシタの出力電圧がそのしきい値電圧よりも低下することを防止するため

のダイオードを含むこととすれば、放電回路を容易に構成できる。

【0035】また、充放電回路は、位相差検出回路のキャパシタの出力電圧を受ける第1のトランジスタと、各々が第1のトランジスタに流れる電流に応じた電流を出力する第1および第2のカレントミラー回路と、それぞれ第1および第2のカレントミラー回路の出力電流でループフィルタのキャパシタの充電および放電を行なう第2および第3のトランジスタとを含むこととすれば、充放電回路を容易に構成できる。

【0036】また、充放電回路は、さらに、第1および第2のカレントミラー回路の出力電流が所定の値以下になることを防止する電流制御回路を含むこととすれば、充放電回路の充放電動作が停止することを防止できる。

【0037】また、この発明の第3および第4の同期クロック生成回路にあっては、位相差検出回路によって内部クロック信号と外部クロック信号の位相差の絶対値が検出され、その位相差の絶対値に応じて、複数の遅延時間可変素子に与えられる電源電圧または電源電流が制御される。したがって、ロック前の位相差が大きいときは小さな電源電圧または大きな電源電流が複数の遅延時間可変素子に与えられ、遅延時間の短縮化が図られてロックイン時間の短縮化が図られる。また、ループフィルタのキャパシタの充放電電流を小さな値に設定しておけば、ロック後のジッタが大きくなることがない。

【0038】ループフィルタの出力電圧を受ける電圧制御型発振器を備えればPLL回路が構成され、電圧制御型遅延回路を備えればDLL回路が構成される。

【0039】また、位相差検出回路は、キャパシタと、第1または第2の制御信号にตอบสนองしてキャパシタの充電を行なう充電回路と、微小電流でキャパシタの放電を行なう放電回路とを含むこととすれば、位相差検出回路を容易に構成できる。

【0040】また、制御回路は、電源電位のラインと複数の遅延時間可変素子の電源ノードとの間、および接地電位のラインと複数の遅延時間可変素子の接地ノードとの間のうちの少なくとも一方に接続され、位相差検出回路のキャパシタの出力電圧が入力される少なくとも1つのトランジスタを含むこととすれば、複数の遅延時間可変素子の電源電圧または電源電流を容易に制御できる。

【0041】また、制御回路は、複数の遅延時間可変素子の電源ノードの電位を位相差検出回路のキャパシタの出力電位に保持する電位保持回路を含むこととすれば、制御回路を容易に構成できる。

【0042】

【実施例】

【実施例1】図1は、この発明の実施例1によるPLL回路100の構成を示す回路ブロック図である。

【0043】図1を参照して、このPLL回路100が図13で示した従来のPLL回路800と異なる点は、



チャージポンプ52の代わりにチャージポンプ1が設けられている点と、ロック検出回路6および電流変換回路7が新たに設けられている点である。

【0044】チャージポンプ1は、電源ライン41と電位ノードN1の間に直列接続された電流可変型電流源2およびPチャネルMOSトランジスタ3と、出力ノードN1と接地ライン42の間に直列接続されたNチャネルMOSトランジスタ4および電流可変型電流源5を含む。電流源2、5の電流値は電流変換回路7の出力によって制御される。

【0045】ロック検出回路6は、位相比較器51の出力信号/UP、DOWNを受け、この信号/UP、DOWNに基づいて外部クロック信号REFと内部クロック信号OSCの位相差の絶対値を検出し、位相差の絶対値に応じた信号を電流変換回路7に出力する。電流変換回路7は、ロック検出回路6からの信号に基づいて、チャージポンプ1の電流源2、5の電流値を制御する。

【0046】図2は、このPLL回路100における外部クロック信号REFと内部クロック信号OSCの位相差とチャージポンプ1の出力電流値との関係を示す図である。2つの信号REFとOSCの位相差が大きい状態ではチャージポンプ1の出力電流が大きな値に設定され、2つの信号REFとOSCの位相差が小さな状態ではチャージポンプ1の出力電流が小さな値に設定される。2つの信号REFとOSCの位相差とチャージポンプ1の出力電流値は、線形の関係にあってもよいし、図2に示されるように2次的な関係にあってもよい。

【0047】図3は、PLL回路100のループフィルタN57の出力電位Vcoの時間変化を示す図である。動作の初期において電圧制御型発振器61の発振周波数がロック対象の周波数と大きくずれているときは、ロック検出回路6および電流変換回路7によってチャージポンプ20の出力電流が大きな値に設定され、ループフィルタ57のキャパシタ60の充電が急速に行なわれる。したがって、ループフィルタ57の出力電位Vcoが高速で所望のレベルに到達する。また、ロック後においては、ロック検出回路6および電流変換回路7によってチャージポンプ1の出力電流が小さな値に設定され、ループフィルタ57の出力電位Vcoのぶれが小さな範囲に抑えられる。

【0048】この実施例においては、ロック動作の初期ではチャージポンプ1の出力電流が大きな値に設定されるので、ループフィルタ57の充電が高速に行なわれロック時間の短縮化が図られる。また、ロック後はチャージポンプ1の出力電流が小さな値に設定されるので、ループフィルタ57の出力電位Vcoのぶれが抑制され電圧制御型発振器61の発振周波数の安定化が図られる。したがって、ロック時間の短縮化とロック後のジッタの縮小化が両立される。

【0049】なお、この実施例では、この発明がPLL

回路に適用された場合について説明したが、この発明がDLL回路にも適用可能であることは言うまでもない。

【0050】【実施例2】図4は、この発明の実施例2によるPLL回路200の構成を示す回路ブロック図である。

【0051】図4を参照して、このPLL回路200が図1のPLL回路100と異なる点は、ロック検出回路6の代わりに位相比較器8が設けられている点である。位相比較器8は、外部クロック信号REFと内部クロック信号OSCを受け、2つの信号REFとOSCの位相差の絶対値に応じた信号を電流変換回路7に与える。他の構成および動作は図1のPLL回路100と同様であるので説明は省略される。

【0052】この実施例においても、実施例1と同様の効果が得られる。

【実施例3】図5は、この発明の実施例3によるPLL回路300の構成を示す回路ブロック図である。

【0053】図5を参照して、このPLL回路300は、位相比較器51'、インバータ9、チャージポンプ10、充電回路15、NチャネルMOSトランジスタ20（放電回路）、キャパシタ21、電流変換回路22、ループフィルタ57および電圧制御型発振器61を備える。

【0054】位相比較器51'は、内部クロック信号OSCの位相が外部クロック信号REFよりも遅れていることに応じて活性化レベルが「H」レベルである信号UPを出力し、内部クロック信号OSCの位相が外部クロック信号REFよりも進んでいることに応じて活性化レベルが「H」レベルである信号DOWNを出力する。

【0055】チャージポンプ10は、電源ライン41と出力ノードN10の間に直列接続されたPチャネルMOSトランジスタ11、12と、出力ノードN10と接地ライン42の間に直列接続されたNチャネルMOSトランジスタ13、14を含む。PチャネルMOSトランジスタ12のゲートは、インバータ9を介して信号UPを受ける。NチャネルMOSトランジスタ13のゲートは、信号DOWNを受ける。MOSトランジスタ11、14のゲートは、それぞれ電流変換回路22の出力ノードN23、N27に接続される。

【0056】充電回路15は、インバータ16、17およびPチャネルMOSトランジスタ18、19を含む。PチャネルMOSトランジスタ18は、電源ライン41とノードN15の間に接続され、そのゲートはインバータ16を介して信号UPを受ける。PチャネルMOSトランジスタ19は、電源ライン41とノードN15の間に接続され、そのゲートはインバータ17を介して信号DOWNを受ける。信号UP、DOWNが活性化レベルである「H」レベルになるとPチャネルMOSトランジスタ18、19は導通し充電電流がノードN15に供給される。

【0057】NチャネルMOSトランジスタ20は、そのドレインがノードN15に接続され、そのソースに固定電位 $V_s$ が与えられ、そのゲートに固定電位 $V_g$ が与えられる。NチャネルMOSトランジスタ20は、ノードN15から固定電位 $V_s$ に微小電流 $I_L$ をリークさせる。

【0058】キャパシタ21はノードN15と接地ライン42の間に接続される。キャパシタ21は、充電回路15によって充電される一方、NチャネルMOSトランジスタ20によって放電される。ロック前は、充電回路15からの充電電流の方がNチャネルMOSトランジスタ20によるリーク電流よりも大きくなり、ノードN15の電位が徐々に上昇する。ロック後は、充電回路15からの充電電流の方がNチャネルMOSトランジスタ20によるリーク電流よりも小さくなり、ノードN15の電位が徐々に下降し、固定電位 $V_s$ となる。

【0059】電流変換回路22は、電源ライン41と接地ライン42の間に直列接続されたPチャネルMOSトランジスタ23およびNチャネルMOSトランジスタ24、25と、電源ライン41と接地ライン42の間に直列接続されたPチャネルMOSトランジスタ26およびNチャネルMOSトランジスタ27とを含む。NチャネルMOSトランジスタ25のゲートはノードN15に接続される。PチャネルMOSトランジスタ23、26のゲートは、ともにPチャネルMOSトランジスタ23のドレイン（出力ノードN23）に接続される。NチャネルMOSトランジスタ24、27のゲートは、ともにNチャネルMOSトランジスタ27のドレイン（出力ノードN27）に接続される。出力ノードN23、N27は、上述のとおり、それぞれチャージポンプ10のMOSトランジスタ11、14のゲートに接続される。すなわち、PチャネルMOSトランジスタ23と26、23と11は、それぞれカレントミラー回路を構成する。また、NチャネルMOSトランジスタ27と14はカレントミラー回路を構成する。したがって、MOSトランジスタ23～27、11、14には同じ値の電流が流れる。ただし、MOSトランジスタ23～27、11、14のトランジスタサイズは同じものとする。

【0060】ロック前においてノードN15の電位が高いときは、MOSトランジスタ23～27、11、14に大きな値の電流が流れ、チャージポンプ10の出力電流が大きくなる。逆に、ロック後においてノードN15の電位が低いときは、MOSトランジスタ23～27、11、14に小さな値の電流が流れ、チャージポンプ10の出力電流が小さくなる。

【0061】ループフィルタ57および電圧制御型発振器61の構成および動作は図13で示したものと同一であるので説明は省略される。

【0062】図6はロック動作の開始直後、つまり外部クロック信号REFと内部クロック信号OSCの位相差

が大きいときのPLL回路300の動作を示すタイムチャートである。2つの信号REFとOSCの位相差が大きいと、信号UPとDOWNの「H」レベルの期間が長くなり、PチャネルMOSトランジスタ18、19の導通期間が長くなるので、ノードN15の電位が徐々に上昇する。これにより、NチャネルMOSトランジスタ25の抵抗値が小さくなりチャージポンプ10の出力電流が大きくなって、ロックイン時間の短縮化が図られる。

【0063】図9はロック後におけるPLL回路300の動作を示すタイムチャートである。ロック後は信号UPとDOWNの「H」レベルの期間が短くなり、PチャネルMOSトランジスタ18、19の導通期間が短くなるのでノードN15の出力は固定電位 $V_s$ となっている。固定電位 $V_s$ は、このときのチャージポンプ10の出力電流が十分に小さな値になるように設定されている。したがって、ロック状態からのずれが小さくなり、ジッタが小さくなる。

【0064】この実施例においても、実施例1と同様の効果が得られる。

【実施例4】図8は、この発明の実施例4によるPLL回路300'の構成を示す回路ブロック図である。このPLL回路300'は、図5で示したPLL回路300と基本的には同じである。NチャネルMOSトランジスタ21のソースと接地ライン42の間にダイオード接続されたNチャネルMOSトランジスタ28が接続され、ノードN15の電位がNチャネルMOSトランジスタ28のしきい値電位以下になることが防止される。これにより、電流変換回路22のMOSトランジスタ23～27に電流が流れなくなることが防止され、チャージポンプ10の安定な制御が可能となる。

【0065】すなわち、ノードN15の電位が低下し過ぎると電流変換回路22のNチャネルMOSトランジスタ25の抵抗値が上昇し過ぎ、また、ノードN15の電位がNチャネルMOSトランジスタ25のしきい値電位よりも低下するとNチャネルMOSトランジスタ25が完全にオフするため、電流変換回路22に電流が流れなくなりチャージポンプ10が動作しなくなる。しかし、NチャネルMOSトランジスタ20のソースと接地ライン42の間にNチャネルMOSトランジスタ28を接続したことによりノードN15の電位はNチャネルMOSトランジスタ28のしきい値電位以上に保持されるので、ノードN15の電位がゲートに印加されるNチャネルMOSトランジスタ25が完全にオフすることはなく、チャージポンプ10が安定に動作する。

【0066】この実施例においても、実施例1と同様の効果が得られる。

【実施例5】この実施例では、電流変換回路22のMOSトランジスタ23～27に電流が流れなくなことを防止しチャージポンプ10を安定に動作させる他の回路構成が示される。

【0067】図9は、この発明の実施例5によるPLL回路400の構成を示す回路ブロック図である。図9を参照して、このPLL回路400が図5で示したPLL回路300と異なる点は、NチャネルMOSトランジスタ20のソースが接地ライン42に接続され、そのゲートに固定電位 $V_{gs}$ が与えられている点と、スタートアップ回路30が新たに設けられている点である。固定電位 $V_{gs}$ の値は、NチャネルMOSトランジスタ20がノードN15から接地ライン42に微小電流 $I_L$ を流すように設定される。スタートアップ回路30は、電源ライン41とノードN27の間に接続されたPチャネルMOSトランジスタ31と、電源ライン41と接地ライン42の間に直列接続されたPチャネルMOSトランジスタ32およびNチャネルMOSトランジスタ33を含む。PチャネルMOSトランジスタ31のゲートは、PチャネルMOSトランジスタ32とNチャネルMOSトランジスタ33の接続ノードN32に接続される。PチャネルMOSトランジスタ32のゲートは、ノードN23に接続される。NチャネルMOSトランジスタ33のゲートには固定電位 $V_{gs}$ が与えられる。固定電位 $V_{gs}$ の値は、NチャネルMOSトランジスタ33がノードN32から接地ライン42に微小電流 $I_L$ を流すように設定される。

【0068】次に、スタートアップ回路30の動作について説明する。電流変換回路22のMOSトランジスタ23~27の電流が小さくなると、ノードN23の電位が電源電位 $V_{cc}$ 寄りに片寄るのでPチャネルMOSトランジスタ32が高抵抗となりノードN32が「L」レベルとなる。応じて、PチャネルMOSトランジスタ31が導通しNチャネルMOSトランジスタ27に電流が流れ、電流変換回路22のMOSトランジスタ23~27に電流が流れる。この電流が最小の電流値となる。したがって、電流変換回路22のMOSトランジスタ23~27に電流が流れなくなることが防止され、チャージポンプ10が安定に動作する。

【0069】この実施例においても、実施例1と同様の効果が得られる。

【実施例6】この実施例は、上述の実施例1~5のように位相差の絶対値に応じてチャージポンプ10の出力電流を変化させるものではなく、電圧制御型発振器61のソース抵抗を変化させることでその発振周波数を変化させようとするものである。このソース抵抗が大きいほど電圧制御型発振器61の振幅が小さくなり、電圧制御型発振器61は高速で発振する。したがって、本実施例の場合、チャージポンプ10の出力電流の値は、最初からロック後のジッタを考慮し微小値に設定しておけばよい。

【0070】以下、図に基づいて説明する。図10は、この発明の実施例6によるPLL回路500の構成を示す回路ブロック図である。図10を参照して、このPL

L回路500では、チャージポンプ10の出力電流を一定の微小値に設定するための定電流発生回路35が設けられる。定電流発生回路35は、図5の電流変換回路22のNチャネルMOSトランジスタ25を抵抗36で置換したものである。抵抗36の抵抗値に応じた値の電流がMOSトランジスタ23、24、26、27に流れ、その電流に等しい値の電流がチャージポンプ10から出力される。

【0071】また、このPLL回路500では、電圧制御型発振器61のNチャネルMOSトランジスタ64、68、1~68、Kのソースと接地ライン42の間に、電圧制御型発振器61の振幅を変化させるためのPチャネルMOSトランジスタ34が接続される。PチャネルMOSトランジスタ34のゲートはノードN15に接続される。NチャネルMOSトランジスタ20のソースは接地ライン42に接続され、そのゲートには固定電位 $V_{gs}$ が与えられる。外部クロック信号REFと内部クロック信号OSCの位相差が大きいとノードN15の電位すなわちPチャネルMOSトランジスタ34のゲート電位が上昇し電圧制御型発振器61の振幅が小さくなる。

【0072】次に、このPLL回路500の動作について説明する。動作開始初期は、ノードN15の電位は接地電位GNDに固定されているので電圧制御型発振器61の振幅は $V_{cc} - V_{tp}$ となる。ここで $V_{tp}$ はPチャネルMOSトランジスタ34のしきい値電位である。このとき、外部クロック信号REFと電圧制御型発振器61の出力である内部クロック信号OSCの間の位相差が大きいとループフィルタ57の出力電位 $V_{co}$ が上昇し電圧制御型発振器61に流れる電流が大きくなり電圧制御型発振器61の発振周波数が上昇する。同時に、ノードN51の電位が上昇し電圧制御型発振器61の振幅が $V_{cc} - V_a - V_{tp}$ と小さくなり、電圧制御型発振器61の発振周波数が上昇する。ここで $V_a$ はノードN15の電位である。ロック後は、ノードN51の電位が接地電位GNDになるために電圧制御型発振器61の発振周波数は本来のループフィルタ57の出力電位 $V_{co}$ で決まり、このときのチャージポンプ10の電流値はジッタが小さくなるように設定されている。

【0073】この実施例においても、実施例1と同様の効果が得られる。

【実施例7】この実施例は、上述の実施例1~5のように位相差の絶対値に応じてチャージポンプ10の出力電流を変化させるものではなく、電圧制御型発振器61に供給する電流の大きさを変化させることで電圧制御型発振器61の発振周波数を変化させようとするものである。電圧制御型発振器61への電流供給量が大きいほど電圧制御型発振器61は高速で発振する。したがって、本実施例の場合、チャージポンプ10の出力電流の値は、最初からロック後のジッタを考慮し微小値に設定しておけばよい。

【0074】以下、図に基づいて説明する。図11は、この発明の実施例7によるPLL回路600の構成を示す回路ブロック図である。図11を参照して、このPLL回路600では、ノードN38と電圧制御型発振器61のPチャネルMOSトランジスタ63、66、1~66、Kのソースの間に、電圧制御型発振器61への電流供給量を変化させるためのNチャネルMOSトランジスタ39が接続される。ノードN38は、オペアンプ37およびPチャネルMOSトランジスタ38により基準電位Vrefに保持される。NチャネルMOSトランジスタ39のゲートはノードN15に接続される。NチャネルMOSトランジスタ20のソースには固定電位Vsが与えられ、そのゲートには固定電位Vgが与えられる。固定電位Vsの値は、NチャネルMOSトランジスタ39が電圧制御型発振器61に最小限必要な電流を供給するように設定される。

【0075】次に、このPLL回路600の動作について説明する。外部クロック信号REFと電圧制御型発振器61の出力である内部クロック信号OSCの間の位相差が大きいとループフィルタ57の出力電位Vcoが上昇し電圧制御型発振器61に流れる電流が大きくなり電圧制御型発振器61の発振周波数が上昇する。同時に、ノードN15の電位が上昇するので電圧制御型発振器61への電流供給量が大きくなり電圧制御型発振器61の発振周波数が上昇する。ロック後は、電圧制御型発振器61への電流供給量が小さい状態となるとともに電圧制御型発振器61の発振周波数は本来のループフィルタ57の出力電位Vcoで決まり、このときのチャージポンプ10の電流値はジッタが小さくなるように設定されている。

【0076】この実施例においても、実施例1と同様の効果が得られる。

【実施例8】この実施例は、電圧制御型発振器61に電流を供給するための電源ノードN38の電位を変化させることにより電圧制御型発振器61に供給する電流量を変化させ、これにより電圧制御型発振器61の発振周波数を変化させようとするものである。

【0077】図12は、この発明の実施例8によるPLL回路700の構成を示す回路ブロック図である。図12を参照して、このPLL回路700では、電圧制御型発振器61のPチャネルMOSトランジスタ63、66、1~66、Kのソースすなわち電源ノードN38の電位をノードN15の電位に保持するためのオペアンプ37およびPチャネルMOSトランジスタ38からなる電位保持回路が設けられる。PチャネルMOSトランジスタ38は電源ライン41と電源ノードN38の間に接続され、そのゲートはオペアンプ37の出力を受ける。オペアンプ37の非反転入力ノードは電源ノードN38に接続され、その反転入力ノードは基準電位Vrefに接続されるとともにノードN15に接続される。実施例

1~7でノードN15に接続されていた放電用のNチャネルMOSトランジスタ20は除去されている。これは、基準電位Vrefを供給する電源は非常に高い出力インピーダンスを有するので、NチャネルMOSトランジスタ20を電源とノードN15の間に接続したのと同じ効果が得られるからである。

【0078】次に、このPLL回路700の動作について説明する。動作開始時は、ノードN15、N38の電位が基準電位Vrefに固定されており、これで決まる電流で電圧制御型発振器61が発振する。このとき、外部クロック信号REFと電圧制御型発振器61の出力である内部クロック信号OSCの間の位相差が大きいとループフィルタ57の出力電位Vcoが上昇し電圧制御型発振器61に流れる電流が大きくなり電圧制御型発振器61の発振周波数が上昇する。同時に、ノードN15、N38の電位が基準電位Vrefから電源電位Vccに向かって上昇し、電圧制御型発振器61への電流供給量が大きくなり電圧制御型発振器61の発振周波数が上昇する。ロック後は、ノードN15、N38の電位は基準電位Vrefに固定され、これで決まる電流で電圧制御型発振器61が発振する。電圧制御型発振器61の発振周波数は本来のループフィルタ57の出力電位Vcoで決まり、このときのチャージポンプ10の電流値はジッタが小さくなるように設定されている。

【0079】この実施例においても、実施例1と同様の効果が得られる。

【0080】

【発明の効果】以上のように、この発明の第1および第2の同期クロック生成回路にあっては、内部クロック信号と外部クロック信号の位相差の絶対値に応じた値の電流でループフィルタのキャパシタの充放電が行なわれる。したがって、ロック前の位相差が大きいたときは大きな値の電流でループフィルタのキャパシタの充放電が行なわれ、ロック後の位相差が小さいときは小さな値の電流でループフィルタのキャパシタの充放電が行なわれる。よって、ロックイン時間の短縮化とロック後のジッタの縮小化が両立される。

【0081】ループフィルタの出力電圧を受ける電圧制御型発振器を備えればPLL回路が構成され、電圧制御型遅延回路を備えればDLL回路が構成される。

【0082】また、位相差検出回路は、位相比較器から出力される第1および第2の制御信号に基づいて位相差の絶対値を検出することとすれば、回路構成の簡単化が図られる。

【0083】また、位相差検出回路は、キャパシタと、第1または第2の制御信号にตอบสนองしてキャパシタの充電を行なう充電回路と、微小電流でキャパシタの放電を行なう放電回路とを含むこととすれば、位相差検出回路を容易に構成できる。

【0084】また、放電回路は、キャパシタの出力電圧

が所定値以下であることに応じてキャパシタの放電を停止することとすれば、キャパシタの出力電圧が所定値以下になって充放電回路の充放電動作が停止することを防止できる。

【0085】また、放電回路は、キャパシタの出力電圧がそのしきい値電圧よりも低下することを防止するためのダイオードを含むこととすれば、放電回路を容易に構成できる。

【0086】また、充放電回路は、位相差検出回路のキャパシタの出力電圧を受ける第1のトランジスタと、各々が第1のトランジスタに流れる電流に応じた電流を出力する第1および第2のカレントミラー回路と、それぞれ第1および第2のカレントミラー回路の出力電流でループフィルタのキャパシタの充電および放電を行なう第2および第3のトランジスタとを含むこととすれば、充放電回路を容易に構成できる。

【0087】また、充放電回路は、さらに、第1および第2のカレントミラー回路の出力電流が所定の値以下になることを防止する電流制御回路を含むこととすれば、充放電回路の充放電動作が停止することを防止できる。

【0088】また、この発明の第3および第4の同期クロック生成回路にあっては、内部クロック信号と外部クロック信号の位相差の絶対値に応じて、複数の遅延時間可変素子に与えられる電源電圧または電源電流が制御される。したがって、ロック前の位相差が大きいときは小さな電源電圧または大きな電源電流が複数の遅延時間可変素子に与えられ、遅延時間の短縮化が図られてロックイン時間の短縮化が図られる。また、ループフィルタのキャパシタの充放電電流を小さな値に設定しておけば、ロック後のジッタが大きくなることがない。

【0089】ループフィルタの出力電圧を受ける電圧制御型発振器を備えればPLL回路が構成され、電圧制御型遅延回路を備えればDLL回路が構成される。

【0090】また、位相差検出回路は、キャパシタと、第1または第2の制御信号に応答してキャパシタの充電を行なう充電回路と、微小電流でキャパシタの放電を行なう放電回路とを含むこととすれば、位相差検出回路を容易に構成できる。

【0091】また、制御回路は、電源電位のラインと複数の遅延時間可変素子の電源ノードとの間、および接地電位のラインと複数の遅延時間可変素子の接地ノードとの間のうちの少なくとも一方に接続され、位相差検出回路のキャパシタの出力電圧が入力される少なくとも1つのトランジスタを含むこととすれば、複数の遅延時間可変素子の電源電圧または電源電流を容易に制御できる。

【0092】また、制御回路は、複数の遅延時間可変素子の電源ノードの電位を位相差検出回路のキャパシタの出力電位に保持する電位保持回路を含むこととすれば、制御回路を容易に構成できる。

【図面の簡単な説明】

【図1】 この発明の実施例1によるPLL回路の構成を示す回路ブロック図である。

【図2】 図1に示したPLL回路における位相差とチャージポンプの出力電流値の関係を示す図である。

【図3】 図1に示したPLL回路のループフィルタの出力電位Vcoの変化を示すタイムチャートである。

【図4】 この発明の実施例2によるPLL回路の構成を示す回路ブロック図である。

【図5】 この発明の実施例3によるPLL回路の構成を示す回路ブロック図である。

【図6】 図5に示したPLL回路のロック前の動作を示すタイムチャートである。

【図7】 図5に示したPLL回路のロック後の動作を示すタイムチャートである。

【図8】 この発明の実施例4によるPLL回路の構成を示す回路ブロック図である。

【図9】 この発明の実施例5によるPLL回路の構成を示す回路ブロック図である。

【図10】 この発明の実施例6によるPLL回路の構成を示す回路ブロック図である。

【図11】 この発明の実施例7によるPLL回路の構成を示す回路ブロック図である。

【図12】 この発明の実施例8によるPLL回路の構成を示す回路ブロック図である。

【図13】 従来のPLL回路の構成を示す回路ブロック図である。

【図14】 図13に示したPLL回路のインバータの構成を示す回路ブロック図である。

【図15】 従来のDLL回路の構成を示す回路ブロック図である。

【図16】 従来のPLL回路およびDLL回路の問題点を説明するためのタイムチャートである。

【符号の説明】

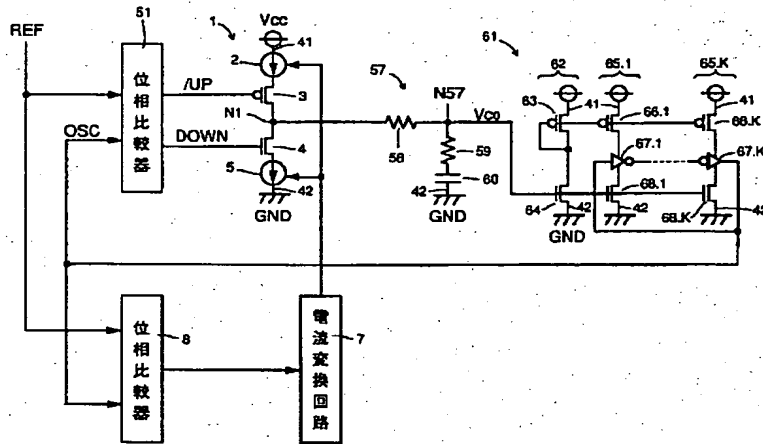
1, 10, 52 チャージポンプ、2, 5 電流可変型電流源、3, 18, 19, 23, 26, 31, 32, 34, 38, 54, 63, 66. 1~66. K, 69 PチャネルMOSトランジスタ、4, 20, 24, 25, 27, 28, 38, 39, 55, 64, 68. 1~68. K, 70 NチャネルMOSトランジスタ、6 ロック検出回路、7, 22 電流変換回路、8, 51, 51' 位相比較器、9, 16, 17, 67. 1~67. K インバータ、15 充電回路、21, 60 キャパシタ、30 スタートアップ回路、35 定電流発生回路、36, 57, 58 抵抗、37 オペアンプ、41 電源ライン、42 接地ライン、53, 56 定電流源、57 ループフィルタ、61 電圧制御型発振器、62 バイアス発生回路、65. 1~65. K 遅延時間可変素子、71 電圧制御型遅延回路、100, 200, 300, 400, 500, 600, 700, 800 PLL回路、900 DLL回路。

100



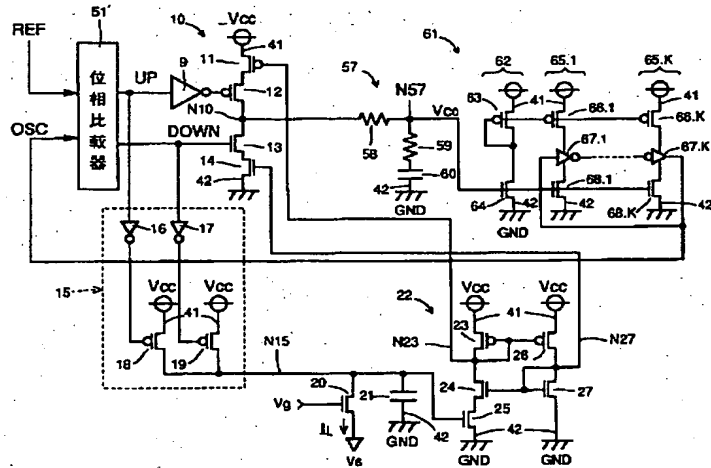
【図 4】

200



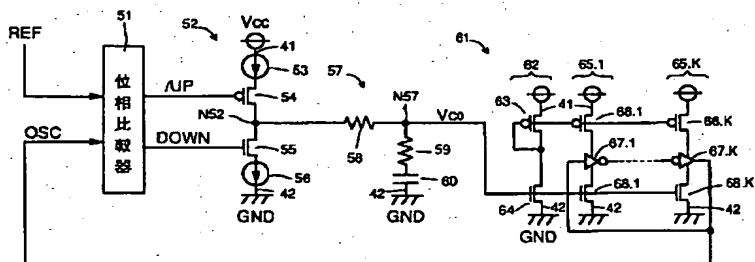
【図 5】

300

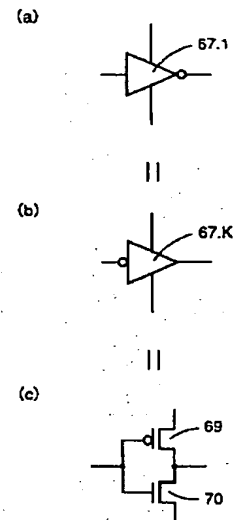


【図 13】

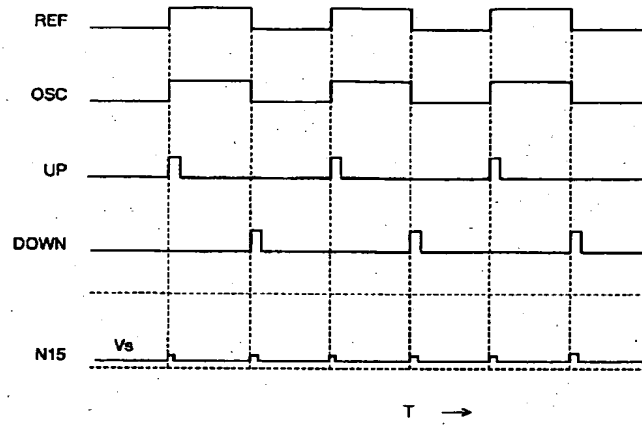
800



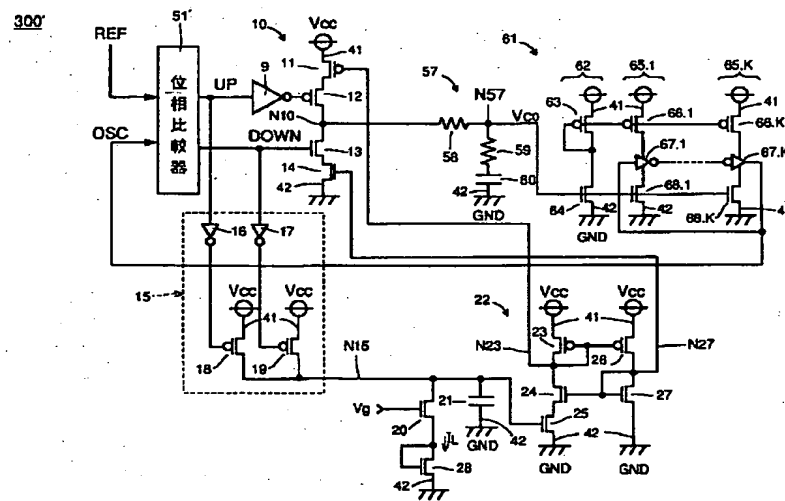
【図 14】



【図7】

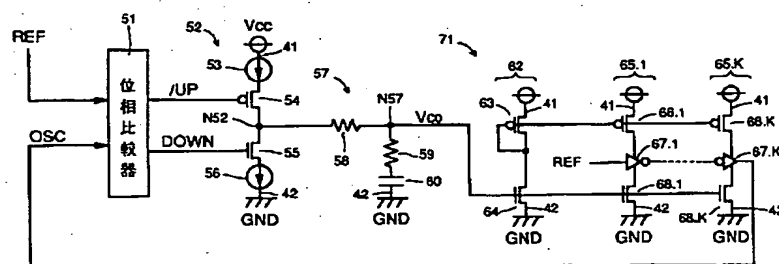


【図8】



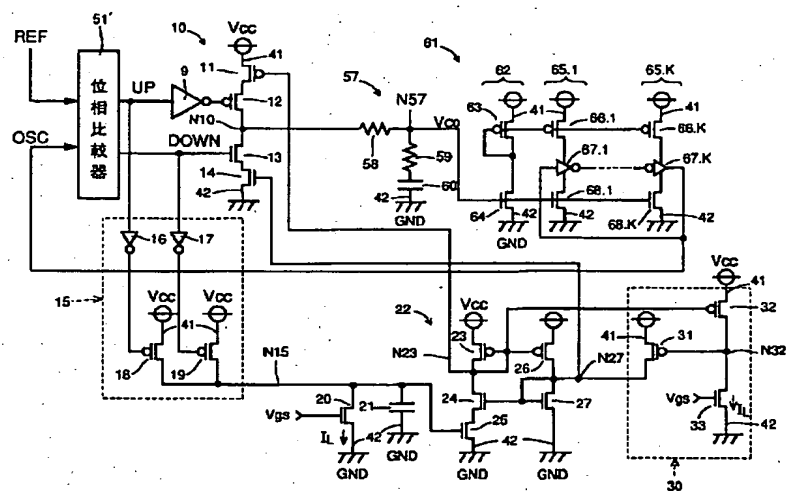
【図15】

900

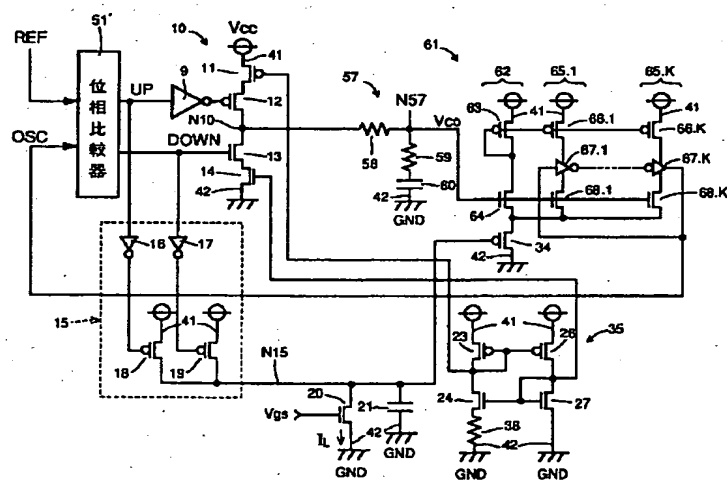




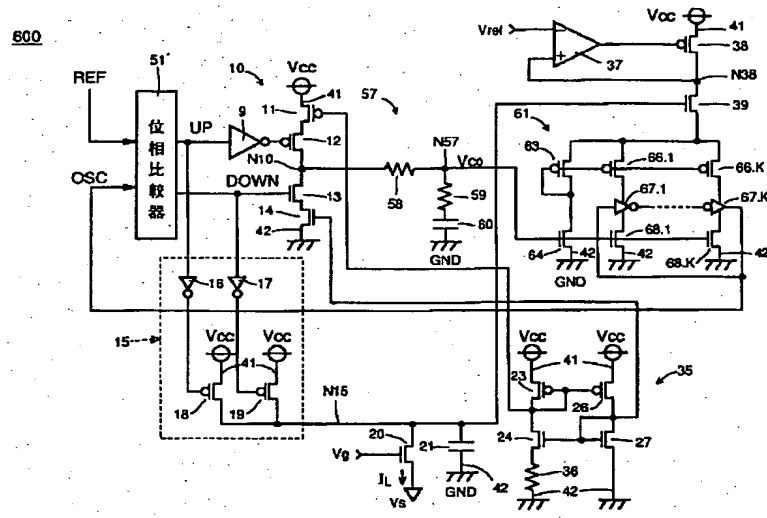
400



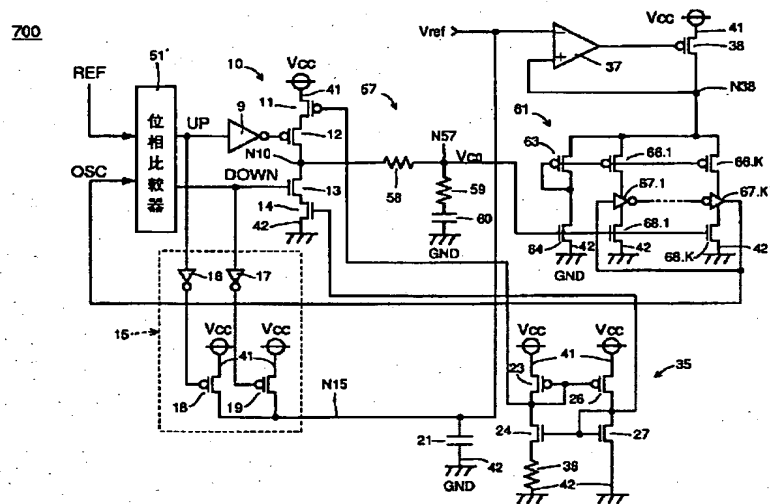
**500**



【図11】



【図12】



【図16】

